

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2003-5845  
(P2003-5845A)

(43)公開日 平成15年1月8日(2003.1.8)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
G 0 5 F 1/56	3 1 0	G 0 5 F 1/56	3 1 0 D 5 H 4 3 0
			3 1 0 K

審査請求 有 請求項の数 9 O L (全 8 頁)

(21)出願番号 特願2001-188399(P2001-188399)

(22)出願日 平成13年6月21日(2001.6.21)

(71)出願人 000232036

エヌイーシーマイクロシステム株式会社  
神奈川県川崎市中原区小杉町1丁目403番  
53

(72)発明者 渡邊 浩二

神奈川県川崎市中原区小杉町一丁目403番  
53 エヌイーシーマイクロシステム株式会  
社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

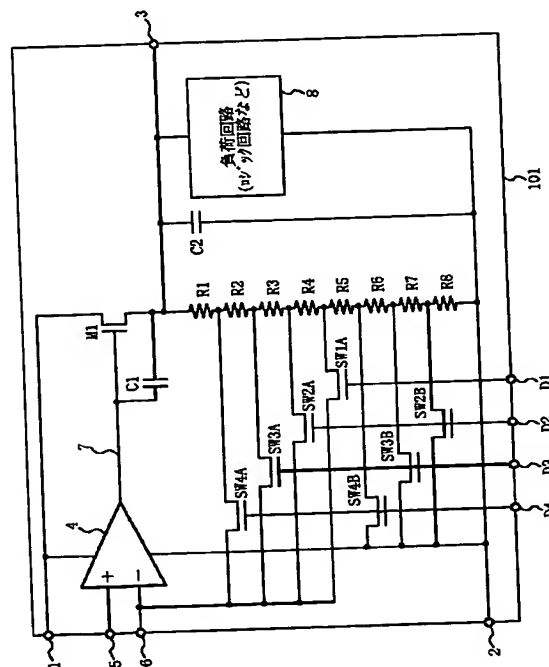
Fターム(参考) 5H430 BB01 BB05 BB09 BB11 EE04  
EE12 FF04 FF13 FF17 HH03  
JJ04

(54)【発明の名称】 電圧レギュレータ

(57)【要約】

【課題】 パストランジスタM1の電流 $I_{ds}$ を一定にし、コンダクタンス $g_m$ も一定にする電圧レギュレータを提供する。

【解決手段】 出力段の電圧を内蔵する抵抗ラダーと、出力段および抵抗ラダーに電流を供給するパストランジスタとで電圧を設定する電圧レギュレータであって、レギュレータ出力電圧を決定する抵抗ラダーの抵抗分圧比を外部からの制御信号により、スイッチング手段で切り換え、パストランジスタに流れる電流値を一定にする電圧レギュレータ。



【特許請求の範囲】

【請求項1】 出力段の電圧を内蔵する抵抗ラダーと、前記出力段および前記抵抗ラダーに電流を供給するパストランジスタとで電圧を設定する電圧レギュレータであって、

レギュレータ出力電圧を決定する前記抵抗ラダーの抵抗分圧比を外部からの制御信号により、スイッチング手段で切り換え、前記パストランジスタに流れる電流値を一定にすることを特徴とする電圧レギュレータ。

【請求項2】 前記外部からの制御信号は、電圧供給先の負荷回路から供給される請求項1記載の電圧レギュレータ。

【請求項3】 前記負荷回路は、マイクロコンピュータである請求項2記載の電圧レギュレータ。

【請求項4】 動作モード信号を用いるスピード検知回路と、前記スピード検知回路により前記負荷回路での最低動作電圧を自動で測定し、その結果を受けるデコーダと前記スイッチ手段とで制御する請求項1または2記載の電圧レギュレータ。

【請求項5】 前記外部からの制御信号として、前記負荷回路の動作スピードを検知する検出回路を有し、負荷の動作スピードによって可変する前記検出回路の出力信号を用いる請求項1、2または3記載の電圧レギュレータ。

【請求項6】 前記スピード検知回路は、基準クロックを元にリングオシレータのクロック数をカウンタで測定する請求項5記載の電圧レギュレータ。

【請求項7】 前記基準クロックは、水晶発振器で発生する請求項6記載の電圧レギュレータ。

【請求項8】 入力端子とGND端子の間に接続される誤差増幅器と、前記入力端子にソースが接続され、前記誤差増幅器の出力にゲートが接続され、出力端子にドレインが接続される前記パストランジスタと、前記誤差増幅器の出力と前記出力端子に接続される第1の位相補償容量と、前記出力端子と前記GND端子間に接続される第2の位相補償容量と、前記出力端子に一端が接続され他端がGND端子に接続される前記抵抗ラダーと、前記出力端子と前記GND端子間に接続されている前記負荷回路とを備える請求項1、2、3、4、5、6または7記載の電圧レギュレータ。

【請求項9】 前記抵抗ラダーは、前記出力端子に一端が接続される第1の抵抗と、一端が第1の抵抗の他端に接続される第2の抵抗と、一端が第nの抵抗の他端に接続される第(n+1)の抵抗とを具備し、前記スイッチング手段は、前記第nの抵抗と第(n+1)の抵抗との接点と前記誤差増幅器の反転入力端子に接続される複数の第1のトランジスタと、第nの抵抗と第(n+1)の抵抗との接点と前記GND端子に接続される第2のトランジスタとを具備する請求項8記載の電圧レギュレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電圧レギュレータに関し、特に、周波数特性を安定させたまま出力電圧を自由に変更する電圧レギュレータに関する。

【0002】

【従来の技術】現在、市場では回路の微細化・高速化・省電力化が進んでおり、その中の省電力化を実現させる為には電源の低電圧化が挙げられる。

【0003】しかし単純に電源電圧を下げると動作速度が落ちてしまい、高速化とのトレードオフとなってしまう。そこで速度は保ちつつ電源電圧を自由に制御できるような電圧レギュレータ手段が必要である。

【0004】そこで、このような従来の電圧レギュレータ回路が、例えば、文献名：[R. Jacob Baker, Harry W. Li, David E. Boyce “CMOS CIRCUIT DESIGN, LAYOUT, AND SIMULATION”]（以下、引用文献1という）または特開2000-039923号公報（以下、引用文献2という）に開示されている。

【0005】引用文献2に記載の回路図を示した図4を参照すると、第1の従来の電圧レギュレータ回路401は、入力端子41とGND端子42の間に接続される誤差増幅器44と、誤差増幅器44の非反転入力端子45と、入力端子41にソースが接続され、誤差増幅器44の出力47にゲートが接続され、出力端子43にドレインが接続されているP-MOSのパストランジスタM41と、誤差増幅器44の出力47と出力端子43に接続される位相補償容量C1と、出力端子43とGND端子42間に接続される位相補償容量C2と、出力端子43に一端が接続される抵抗Raと、一端が抵抗Raの他端に接続され、他端がGND端子42に接続される抵抗Rbと、抵抗Raと抵抗Rbの交点と誤差増幅器44の反転入力を接続している端子46と、出力端子43とGND端子42間に接続されている負荷回路48とを備える。

【0006】この図4に示す第1の従来の電圧レギュレータ回路401では、出力端子43に出力される電圧値Voutは非反転入力端子45に入力される基準電圧Vrefと抵抗Ra、抵抗Rbを用いて以下の式で示すことができる。

$$V_{out} = V_{ref} \cdot (1 + R_a / R_b) \quad (11)$$

このとき抵抗Ra及び抵抗Rbによる分圧比を自由に變えることができないので、出力電圧Voutを自由に變更することができない。

【0007】レギュレータ出力電圧を変更できるレギュレータの例を、図5に示す。

【0008】図5を参照すると、第2の従来の電圧レギュレータ回路501は、入力端子51とGND端子52の間に接続される誤差増幅器54と、誤差増幅器54の非反転入力端子55と、入力端子51にソースが接続さ

れ、誤差増幅器54の出力57にゲートが接続され、出力端子53にドレインが接続されているP-MOSのバストランジスタM51と、誤差増幅器54の出力57と出力端子53に接続される位相補償容量C1と、出力端子53とGND端子52間に接続される位相補償容量C2と、出力端子53に一端が接続される抵抗Rcと、一端が抵抗Rcの他端に接続される抵抗Rdと、一端が抵抗Rdの他端に接続される抵抗Reと、一端が抵抗Reの他端に接続される抵抗Rfと、一端が抵抗Rfの他端に接続され他端がGND2に接続される抵抗Rgと、抵抗Rcと抵抗Rdの交点と誤差増幅器4の反転入力に接続している端子56と、抵抗Rdと抵抗Reの交点とGND端子52に接続されるスイッチSWaと、抵抗Re

と抵抗Rfの交点とGND端子52に接続されるスイッチSWbと、抵抗Rfと抵抗Rgの交点とGND端子52に接続されるスイッチSWcと、出力端子53とGND端子52間に接続されている負荷回路58とを備える。

【0009】この図5に示す第2の従来の電圧レギュレータ回路では、出力端子53に出力される電圧値Voutを、スイッチSWa、スイッチSWb及びスイッチSWcのオン/オフの組み合わせと非反転入力端子55に入力される基準電圧Vrefによる計算式で示すことができる。

【0010】

$$\begin{aligned} \text{まず、全スイッチオフの場合} \\ V_{out} = V_{ref} \cdot (1 + R_c / (R_d + R_e + R_f + R_g)) = V_{ref} \cdot \\ (1 + R_{a1} / R_{b1}) \quad \text{--- (12)} \end{aligned}$$

ここで、

$$R_{a1} = R_c \quad \text{--- (12-1)}$$

$$R_{b1} = R_d + R_e + R_f + R_g \quad \text{--- (12-2)}$$

つぎに、スイッチSWa及びスイッチSW2Bをオンさせた場合

$$\begin{aligned} V_{out} = V_{ref} \cdot (1 + R_c / (R_d + R_e + R_f)) = V_{ref} \cdot (1 + \\ R_{a2} / R_{b2}) \quad \text{--- (13)} \end{aligned}$$

ここで、

$$R_{a2} = R_c \quad \text{--- (13-1)}$$

$$R_{b2} = R_d + R_e + R_f \quad \text{--- (13-2)}$$

次に、スイッチSWb及びスイッチSW3Bをオンさせた場合

$$\begin{aligned} V_{out} = V_{ref} \cdot (1 + R_c / (R_d + R_e)) = V_{ref} \cdot (1 + R_{a3} \\ / R_{b3}) \quad \text{--- (14)} \end{aligned}$$

ここで、

$$R_{a3} = R_c \quad \text{--- (14-1)}$$

$$R_{b3} = R_d + R_e \quad \text{--- (14-2)}$$

さらに、SWc及びSW4Bをスイッチオンさせた場合

$$\begin{aligned} V_{out} = V_{ref} \cdot (1 + R_c / R_d) = V_{ref} \cdot (1 + R_{a4} / R_{b4}) \\ \text{--- (15)} \end{aligned}$$

ここで、

$$R_{a4} = R_c \quad \text{--- (15-1)}$$

$$R_{b4} = R_d \quad \text{--- (15-2)}$$

このとき式(12-2)、(13-2)、(14-2)及び(15-2)より

$$R_{b1} \neq R_{b2} \neq R_{b3} \neq R_{b4} \quad \text{--- (16)}$$

である。

【0011】また、この第2の従来の電圧レギュレータ回路501の誤差増幅器54の非反転入力端子55の電

$$V_5 = V_6$$

さらに、パストランジスタM51に流れる電流Idsは、

$$I_{ds} = V_6 / R_B \quad \text{--- (18)}$$

である。

【0013】そして、パストランジスタM51のgm

$$g_m = (2 \cdot I_{ds} \cdot \beta W / L)^{1/2} \quad \text{--- (19)}$$

となる。ここで、  
W…M1のゲート幅

は、  
L…M1のゲート長  
 $\beta \cdots \mu \cdot C_{ox}$

$\mu \cdots M1$ の電子移動度

$C_{ox} \cdots M1$ のゲート酸化膜容量

$$f_p = g_m / (2\pi C_2)$$

となる。

【0014】上述したように、この第2の従来の電圧レギュレータ回路は、動作する。

【0015】

【発明が解決しようとする課題】しかしながら、式(16)及び式(17)より、パストランジスタM1の電流 $I_{ds}$ が一定でなくなり、式(19)より、コンダクタンス $g_m$ も一定でなくなる。

【0016】故に、式(20)より、スイッチSWa乃至スイッチSWcで、出力電圧 $V_{out}$ が変わってしまうと、コンダクタンス $g_m$ も変わってしまい、ポールも動いてしまうので、この電圧レギュレータ回路の周波数特性が不安定になる問題があった。

【0017】

【課題を解決するための手段】本発明の電圧レギュレータは、出力段の電圧を内蔵する抵抗ラダーと、前記出力段および前記抵抗ラダーに電流を供給するパストランジスタとで電圧を設定する電圧レギュレータであって、レギュレータ出力電圧を決定する前記抵抗ラダーの抵抗分圧比を外部からの制御信号により、スイッチング手段で切り換え、前記パストランジスタに流れる電流値を一定にする構成である。

【0018】また、本発明の電圧レギュレータの前記外部からの制御信号は、電圧供給先の負荷回路から供給される構成である。

【0019】またさらに、本発明の電圧レギュレータは、動作モード信号を用いるスピード検知回路と、前記スピード検知回路により前記負荷回路での最低動作電圧を自動で測定し、その結果を受けるデコーダと前記スイッチ手段とで制御する構成である。

【0020】

【発明の実施の形態】次に、図面を参照しながら、本発明の実施の形態を以下に詳述する。

【0021】図1は、本発明の第1の実施の形態の電圧レギュレータの回路図である。

【0022】本発明の第1の実施の形態の電圧レギュレータ101は、入力端子1とGND端子2の間に接続される誤差増幅器4と、誤差増幅器4の非反転入力端子5と、前記入力端子1にソースが接続され誤差増幅器4の出力7にゲートが接続され出力端子3にドレインが接続されているP-MOSのパストランジスタM1と、誤差増幅器4の出力7と出力端子3に接続される位相補償容量C1と、出力端子3とGND端子2間に接続される位相補償容量C2とを備える。

入力端子D1をHighレベルにし、入力端子D2、D3及びD4をLowレベルにして、SW1Aのみをスイッチオンさせた場合  
$$V_{out} = V_{ref} \cdot (1 + (R1 + R2 + R3 + R4) / (R5 + R6 + R7))$$

さらに、電圧レギュレータ回路のポール周波数（以下 $f_p$ とする）は、

$$\text{—————} (20)$$

【0023】さらに、本発明の第1の実施の形態の電圧レギュレータ101は、出力端子3に一端が接続される抵抗R1と、一端が抵抗R1の他端に接続される抵抗R2と、一端が抵抗R2の他端に接続される抵抗R3と、一端が抵抗R3の他端に接続される抵抗R4と、一端が抵抗R4の他端に接続される抵抗R5と、一端が抵抗R5の他端に接続される抵抗R6と、一端が抵抗R6の他端に接続される抵抗R7と、一端が抵抗R7の他端に接続され他端がGND端子2に接続される抵抗R8と、抵抗R4と抵抗R5の交点と誤差増幅器4の反転入力端子6に接続されるN-MOSトランジスタSW1Aと、抵抗R3と抵抗R4の交点と誤差増幅器4の反転入力端子6に接続されるN-MOSトランジスタSW2Aと、抵抗R7と抵抗R8の交点とGND端子2に接続されるN-MOSトランジスタSW2Bと、抵抗R2と抵抗R3の交点と誤差増幅器4の反転入力端子6に接続されるN-MOSトランジスタSW3Aと、抵抗R6と抵抗R7の交点とGND端子2に接続されるN-MOSトランジスタSW3Bと、抵抗R1と抵抗R2の交点と誤差増幅器4の反転入力端子6に接続されるN-MOSトランジスタSW4Aと、抵抗R5と抵抗R6の交点とGND端子2に接続されるN-MOSトランジスタSW4Bと、N-MOSトランジスタSW1Aのゲートに接続される入力端子D1と、N-MOSトランジスタSW2AのゲートとN-MOSトランジスタSW2Bのゲートに接続される入力端子D2と、N-MOSトランジスタSW3AのゲートとN-MOSトランジスタSW3Bのゲートに接続される入力端子D3と、N-MOSトランジスタSW4AのゲートとN-MOSトランジスタSW4Bのゲートに接続される入力端子D4と、出力端子3とGND端子2間に接続されている負荷回路8とを備える。

【0024】次に、本発明の第1の実施の形態の電圧レギュレータの動作について説明する。

【0025】本発明の第1の実施の形態の電圧レギュレータの誤差増幅器4の非反転入力端子5の電位V5と反転入力端子6の電位V6が等しくなる。

【0026】

$$V5 = V6 \quad \text{—————} (0)$$

また、出力端子3に出力される電圧値（以下 $V_{out}$ とする）は、N-MOSトランジスタSW1A、SW2A、SW2B、SW3A、SW3B、SW4A及びSW4Bのオン/オフの組み合わせと非反転入力端子5に入力される基準電圧（以下 $V_{ref}$ とする）で決まる。

【0027】

$$+R8) = V_{ref} \cdot (1 + R_{A1}/R_{B1}) \quad \text{--- (1)}$$

ここで、

$$R_{A1} = R1 + R2 + R3 + R4 \quad \text{--- (1-1)}$$

$$R_{B1} = R5 + R6 + R7 + R8 \quad \text{--- (1-2)}$$

入力端子D2をHighレベルにし、入力端子D1, D3及びD4をLowレベルにして、SW2A及びSW2Bをスイッチオンさせた場合

$$V_{out} = V_{ref} \cdot (1 + (R1 + R2 + R3) / (R4 + R5 + R6 + R7)) = V_{ref} \cdot (1 + R_{A2}/R_{B2}) \quad \text{--- (2)}$$

ここで、

$$R_{A2} = R1 + R2 + R3 \quad \text{--- (2-1)}$$

$$R_{B2} = R4 + R5 + R6 + R7 \quad \text{--- (2-2)}$$

入力端子D3をHighレベルにし、入力端子D1, D2及びD4をLowレベルにして、SW3A及びSW3Bをスイッチオンさせた場合

$$V_{out} = V_{ref} \cdot (1 + (R1 + R2) / (R3 + R4 + R5 + R6)) = V_{ref} \cdot (1 + R_{A3}/R_{B3}) \quad \text{--- (3)}$$

ここで、

$$R_{A3} = R1 + R2 \quad \text{--- (3-1)}$$

$$R_{B3} = R3 + R4 + R5 + R6 \quad \text{--- (3-2)}$$

入力端子D4をHighレベルにし、入力端子D1, D2及びD3をLowレベルにして、SW4A及びSW4Bをスイッチオンさせた場合

$$V_{out} = V_{ref} \cdot (1 + (R1) / (R2 + R3 + R4 + R5)) = V_{ref} \cdot (1 + R_{A4}/R_{B4}) \quad \text{--- (4)}$$

ここで、

$$R_{A4} = R1 \quad \text{--- (4-1)}$$

$$R_{B4} = R2 + R3 + R4 + R5 \quad \text{--- (4-2)}$$

上記の様に、N-MOSトランジスタのオン/オフの組み合わせで出力端子の電圧値を変えることができる。

$$R2 = R3 = R4 = R6 = R7 = R8 \quad \text{--- (5)}$$

とすると、出力段分圧抵抗のGND側抵抗値RBは式 (1-2), (2-2), (3-2), (4-2) より

$$RB = R_{B1} = R_{B2} = R_{B3} = R_{B4} \quad \text{--- (6)}$$

となる。

【0029】ここでパストランジスタM1に流れる電流

$$I_{ds} = V6 / RB \quad \text{--- (7)}$$

である。

【0030】式(0), (6)及び式(7)より前記パ

$$g_m = (2 \cdot I_{ds} \cdot \beta W / L)^{1/2} \quad \text{--- (8)}$$

より、コンダクタンスgmも一定になる。ここで、

W…M1のゲート幅

L…M1のゲート長

$\beta \dots \mu \cdot C_{ox}$

$$f_p = g_m / (2 \pi C2)$$

スイッチSW1A乃至スイッチSW4Bにより出力電圧Voutを変えてもコンダクタンスgmが一定であることからポール周波数も一定になるので、この電圧レギュレータ回路の周波数特性が安定する。

【0031】以下、具体的に数値を用いて説明する。例として

$$V_{ref} = 1.2V$$

$$R1 = 64k\Omega$$

$$R5 = 96k\Omega$$

ストランジスタM1の電流I<sub>ds</sub>も一定になり、

$\mu \dots$  M1の電子移動度

$C_{ox} \dots$  M1のゲート酸化膜容量

電圧レギュレータ回路のポール周波数(以下f<sub>p</sub>とする)は、

$$\text{--- (9)}$$

$$R2 = R3 = R4 = R6 = R7 = R8 = 32k\Omega$$

$$C2 = 100pF$$

負荷回路8の動作周波数fを

$$f = 32kHz$$

とする。

【0032】入力端子D1をHighレベルにし、入力端子D2, D3及びD4をLowレベルにして、スイッチSW1Aのみをスイッチオンさせた場合式(1)より

$$V_{out} = 1.6V$$

入力端子D2をHighレベルにし、入力端子D1、D3及びD4をLowレベルにして、スイッチSW2A及びスイッチSW2Bをスイッチオンさせた場合式(2)より

$$V_{out}=1.8V$$

入力端子D3をHighレベルにし、入力端子D1、D2及びD4をLowレベルにして、スイッチSW3A及びスイッチSW3Bをスイッチオンさせた場合式(3)より

$$P=f \cdot C2 \cdot V_{out}^2$$

であり、

$V_{out}=2.2V$ のときの負荷回路8で消費される電力P1は式(10)より

$$P1=15.488[\mu W]$$

$V_{out}=2.0V$ のときの負荷回路8で消費される電力P2は式(10)より

$$P2=12.8[\mu W]$$

$V_{out}=1.8V$ のときの負荷回路8で消費される電力P3は式(10)より

$$P3=10.368[\mu W]$$

$V_{out}=1.6V$ のときの負荷回路8で消費される電力P4は式(10)より

$$P4=8.192[\mu W]$$

となり、出力電圧 $V_{out}$ の値によって負荷回路8で消費される電力が大きく変わる。

【0034】次に、本発明の第2の実施の形態の電圧レギュレータを図2に示す。本発明の第2の実施の形態の電圧レギュレータは、本発明の第1の実施の形態の電圧レギュレータに追加変更した構成である。

【0035】本発明の第2の実施の形態の電圧レギュレータ201は、出力端子3を一端とするスピード検知回路9と、出力端子3とGND端子2間に接続された負荷回路(ロジック回路など)12と、前記スピード検知回路9の他端であるスピード検知信号13を一端とし他端に、本発明の第1の実施の形態の電圧レギュレータのスイッチ切り替え信号D1、D2、D3及びD4と前記負荷回路12から出力されるモード切り替え信号11を接続するデコード回路10とを備える。

【0036】次に、スピード検知回路9を実現する回路を図3を参照して説明する。

【0037】本発明の第2の実施の形態の電圧レギュレータ201のスピード検知回路9は、電圧レギュレータ出力端子3を電源とするリングオシレータ14と、水晶発振器等の基準クロック15を一端とする分周器18と、前記リングオシレータ14の出力と前記分周器18の他端である分周後の基準クロック19を入力とするAND回路16と、前記AND回路16の出力を入力とし前記分周後の基準クロック19をリセットとするカウンタ17と、前記カウンタ17の出力13とを備えている。

$$V_{out}=2.0V$$

入力端子D4をHighレベルにし、入力端子D1、D2及びD3をLowレベルにして、スイッチSW4A及びスイッチSW4Bをスイッチオンさせた場合式(4)より

$$V_{out}=2.2V$$

となる。

【0033】ここで負荷回路8で消費される電力Pは、

$$P=f \cdot C2 \cdot V_{out}^2 \quad (10)$$

【0038】AND回路16によって出力されたリングオシレータ14の出力と分周器18で分周された分周後の基準クロック19の論理積をカウンタ17でカウントアップさせることにより分周された基準クロック19の半周期の間にリングオシレータのクロックが何回刻まれたかがわかる。

【0039】以下、図2を参照して動作の説明をする。

【0040】本発明の第2の実施の形態の電圧レギュレータの負荷回路12はCPUなどの主要ブロックを全て動作させる通常モードと、それら主要のブロックの電源を落して時計やメモリなど比較的低電力で動作するブロックだけを動かす省電力モードの2種類を設けてある。

【0041】スピード検知回路9では、負荷回路12が正常に動作する範囲の最低電源電圧を等価的に検知することができ、その検知結果であるスピード検知信号13をデコード10に伝え、このスピード検知信号13と負荷回路12から出力されるモード切り替え信号11をデコード10内の論理演算でスイッチ切り替え信号D1、D2、D3及びD4に変換する。

【0042】デコード10によって出力されたスイッチ切り替え信号D1、D2、D3及びD4によって、本発明の第1の実施の形態の電圧レギュレータと同様に、N-MOSトランジスタSW1A、SW2A、SW2B、SW3A、SW3B、SW4A及びSW4Bを切り替え、式(1)、式(2)、式(3)及び式(4)より出力端子3の出力電圧値 $V_{out}$ が決定する。

【0043】次に、スピード検知回路9動作を図3を参照して説明する。

【0044】リングオシレータ14のクロックの速さは電圧レギュレータ出力端子3の電圧と、トランジスタのしきい値 $V_t$ や温度などリングオシレータ自体の状態によって変わってくる。

【0045】電圧レギュレータ出力端子3の電圧値を変化させながら、分周された基準クロックの半周期間にリングオシレータが出力するクロック数を数えることによってリングオシレータのクロックの速度がわかり、電圧レギュレータの負荷回路が正常動作する最低電源電圧値を等価的に測定することが出来る。

【0046】この本発明の第2の実施の形態の電圧レギュレータを用いることによって、負荷回路が正常に動作

する最低の電源電圧値を自動で検知することができ、その電圧値に合わせて電圧レギュレータが電源を供給することができるので、本発明の第1の実施の形態の電圧レギュレータと同様に、省電力につながる。

【0047】

【発明の効果】以上説明した通り、本発明の電圧レギュレータは、スイッチを用いその組み合わせで分圧抵抗比を変えることで出力電圧を変えてもパストランジスタに流れる電流は一定なので、周波数特性を変えることなく負荷回路の電力節約のために電圧レギュレータの出力電圧を自由に設定することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の電圧レギュレータの回路図である。

【図2】本発明の第2の実施の形態の電圧レギュレータの回路図である。

【図3】本発明の第2の実施の形態の電圧レギュレータのスピード検知回路の回路図である。

【図4】第1の従来の電圧レギュレータの回路図である。

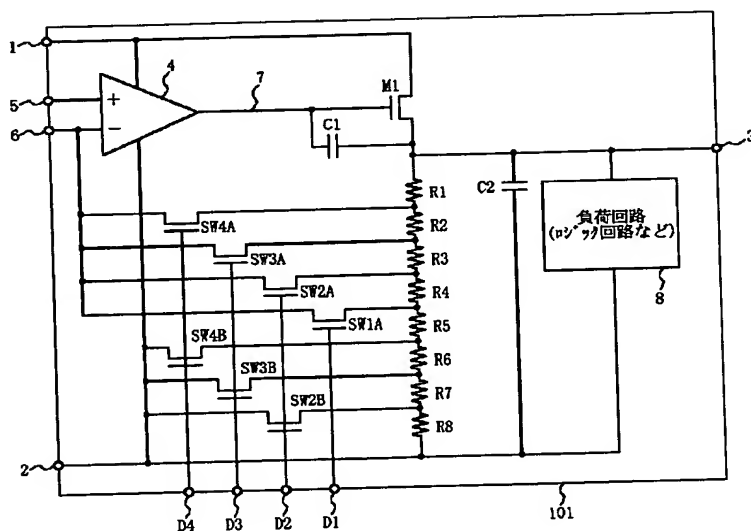
【図5】第2の従来の電圧レギュレータの回路図である。

る。

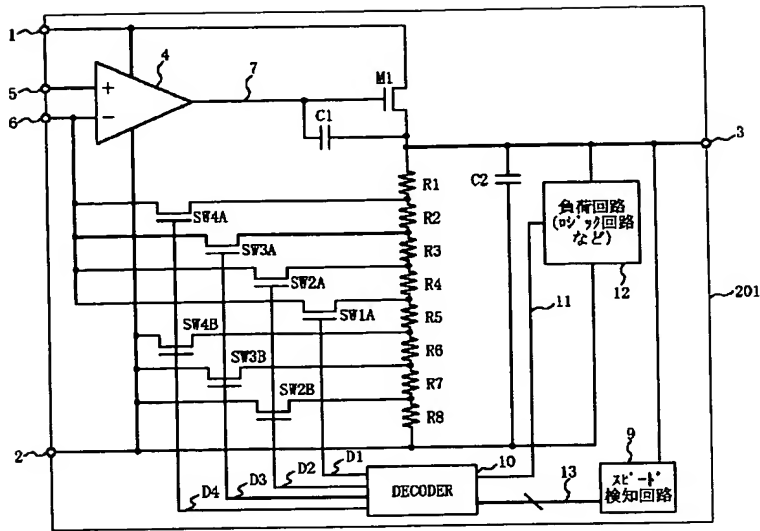
【符号の説明】

1, 4 1, 5 1	入力端子
2, 4 2, 5 2	GND端子
3, 4 3, 5 3	出力端子
4, 4 4, 5 4	誤差増幅器
5, 4 5, 5 5	非反転入力端子
6, 4 6, 5 6	端子
7, 4 7, 5 7	出力
8, 4 8, 5 8	負荷回路
9	スピード検知回路
10	デコード回路
11	モード切替え信号
12	負荷回路
13	スピード検知信号
14	リングオシレータ
15, 19	基準クロック
16	AND回路
17	カウンタ
18	分周器
101, 201, 401, 501	電圧レギュレータ

【図1】

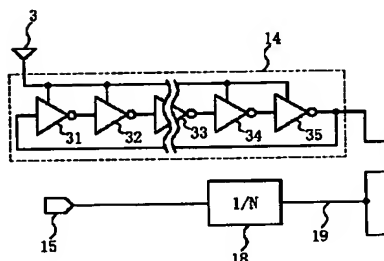


【図2】



【図3】

【図4】



【図5】

